

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323706

(P2000-323706A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 L 29/78
21/76
27/08
29/786

3 3 1

H 0 1 L 29/78
27/08
21/76
29/786 5 6 E 5 F 0 3 2
3 3 1 A 5 F 0 4 8
L 5 F 1 1 0
6 1 3 Z
6 2 1

審査請求 未請求 請求項の数 3 O L (全 11 頁) 最終頁に続く

(21) 出願番号

特願平11-126002

(22) 出願日

平成11年5月6日 (1999. 5. 6)

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 五反田 芳宏

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

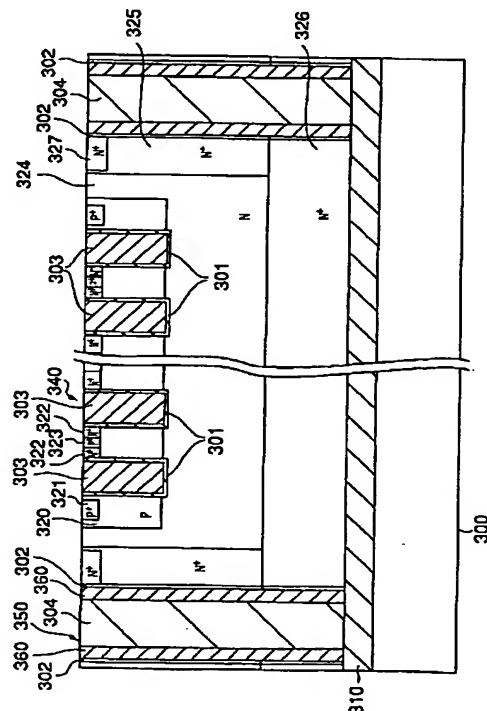
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 絶縁分離用トレンチとゲート用トレンチを同一基板上に有する半導体装置において、製造工程数を削減して、製造コストを下げると共に製造歩留まりの優れた半導体装置及び半導体装置の製造方法を提供すること。

【解決手段】 絶縁分離用トレンチは、トレンチの側面に第2絶縁膜が形成されると共に、この第2絶縁膜の内側面に第2多結晶シリコン膜が形成されると共に、この第2多結晶シリコン膜の内側面に第3絶縁膜が形成するように構成する。また、ゲート用トレンチに第1絶縁膜を介して第1多結晶シリコン膜を形成し、絶縁分離用トレンチの側面に第2絶縁膜を介して第2多結晶シリコン膜を形成すると共に、この第2多結晶シリコン膜の内側面に第3絶縁膜を形成するように構成する。



【特許請求の範囲】

【請求項 1】 電力用半導体素子部と、この電力用半導体素子部を制御する制御回路部とが、同一半導体基板上に形成されると共に、前記電力用半導体素子部と前記制御回路部とが、絶縁分離用トレンチによって絶縁分離された半導体装置において、前記電力用半導体素子部の前記半導体基板表面に形成されたベース領域と、このベース領域から前記半導体基板に達するまで形成されたゲート用トレンチと、このゲート用トレンチに第 1 絶縁膜を介して形成された第 1 多結晶シリコン膜と、を備え、

前記絶縁分離用トレンチは、トレンチの側面に第 2 絶縁膜が形成されると共に、この第 2 絶縁膜の内側面に第 2 多結晶シリコン膜が形成されると共に、この第 2 多結晶シリコン膜の内側面に第 3 絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 2】 第 1 半導体基板上に第 4 絶縁膜を介して形成された第 1 導電型の第 2 半導体基板と、この第 2 半導体基板の表面に選択的に形成された第 2 導電型のベース領域と、このベース領域表面から前記第 2 半導体基板に達するまで形成されたゲート用トレンチと、このゲート用トレンチに第 1 絶縁膜を介して形成された第 1 多結晶シリコン膜と、前記ベース領域表面に、前記ゲート用トレンチに囲まれるように形成された第 1 導電型のソース領域と、前記ベース領域が形成されていない前記第 2 半導体基板表面から前記第 4 絶縁膜に達するまで形成された第 1 導電型のドレイン領域と、前記第 2 半導体基板表面から前記第 4 絶縁膜に達するまで形成された絶縁分離用トレンチと、この絶縁分離用トレンチの側面に形成された第 2 絶縁膜と、この第 2 絶縁膜の内側面に形成された第 2 多結晶シリコン膜と、この第 2 多結晶シリコン膜の内側面に形成された第 3 絶縁膜と、を備えたことを特徴とする半導体装置。

【請求項 3】 第 1 半導体基板上に第 4 絶縁膜を介して、第 1 導電型の第 2 半導体基板を形成する工程と、この第 2 半導体基板表面の所定領域に、ベース領域となる第 2 導電型の第 1 拡散領域を形成する工程と、前記第 1 拡散領域の表面に選択的にソース領域となる第 1 導電型の第 2 拡散領域を形成する工程と、前記第 1 拡散領域が形成されていない第 2 半導体基板表面から、前記第 4 絶縁膜に達するまで絶縁分離用トレンチを形成する工程と、前記第 1 拡散領域表面から前記第 2 半導体基板に達する

まで、選択的にゲート用トレンチを形成する工程と、前記絶縁分離用トレンチの側面に第 2 絶縁膜を形成すると共に、前記ゲート用トレンチ側面及び底面に第 1 の絶縁膜を形成する工程と、

前記第 2 絶縁膜が形成された絶縁分離用トレンチの内側面に第 2 多結晶シリコン膜を形成すると共に、第 1 絶縁膜が形成されたゲート用トレンチの内側面に第 1 多結晶シリコン膜を形成する工程と、

前記第 2 多結晶シリコン膜が形成された絶縁分離用トレンチの内側面に第 3 の絶縁膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に電力用半導体素子（パワーデバイス）と制御回路を同一半導体基板上に集積したインテリジェント・パワーデバイス（IPD）の製造工程の削減に関するものである。

【0002】

【従来の技術】近年の半導体集積回路は、高密度化、高性能化する傾向があり、電力用半導体素子（パワーデバイス）と制御回路を同一半導体基板上に集積したインテリジェント・パワーデバイス（IPD）においても、パワーデバイスのオン抵抗を低減するための縦型 MOS の開発（例えば、「パワーデバイス・パワー IC ハンドブック」P. 140 表 6. 1）や、パワーデバイスと制御回路とを絶縁分離する素子分離領域を縮小するためのトレンチ素子分離技術などが開発されている（例えば、「パワーデバイス・パワー IC ハンドブック」P. 199 図 8. 32）。

【0003】図 7～10 を用いて、パワーデバイスとしての縦型 U-MOS と、そのパワーデバイスの制御回路としての制御用半導体素子とを、同一半導体基板に形成したインテリジェント・パワーデバイスの製造工程を説明する。

【0004】図 7～10 は、SOI 基板を使用し、縦型の出力用パワーデバイスとして U-MOS を使い、素子分離にトレンチ絶縁分離を用いたインテリジェント・パワーデバイスの断面図である。

【0005】まず、P 型支持基板 401 に酸化膜 402 を介して接着された N' 型埋込み層 406 を持つ N 型半導体基板 403 の表面に絶縁分離用の溝となる絶縁分離用トレンチ 470 を形成し、トレンチ 470 の側面及び N 型半導体基板 403 表面を酸化し、絶縁分離用の酸化膜 404 を形成する。次に、多結晶シリコン膜 405 を LPCVD 法により絶縁分離用トレンチ 470 内部の溝が埋まるように堆積し、その後、多結晶シリコン膜を RIE 法にてエッチバックして余分な多結晶シリコン膜を除去して、N 型半導体基板 403 表面に平坦な面を形成する（図 7（a））。

【0006】次に、イオン注入法により制御用半導体素子形成領域407に制御回路となるC-MOS用のN型ウェル領域409とP型ウェル領域410、及び、U-MOS形成領域408のU-MOS用のN型ウェル領域411とドレイン引き出し領域412に不純物注入を行った後、拡散を行う(図7(b))。

【0007】次に、イオン注入法により制御用半導体素子形成領域407にNPNバイポーラトランジスタ用のベース領域413及びU-MOS形成領域408のU-MOS用ベース領域414に不純物注入を行った後、拡散を行う(図7(c))。

【0008】次に、回路内部の素子分離のために、LP-CVD法を用いてシリコン・ナイトライド膜を形成し、所定の位置にフォトリソグラフィで開口部を設け、イオン注入法で、反転層形成防止のためのイオン注入を行った後、選択酸化を行って、LOCOS酸化膜415を形成し、その後加熱されたリン酸を用いてシリコン・ナイトライド膜を除去する(図8(d))。

【0009】次に、U-MOS形成領域408に、U-MOSのソース領域416用のイオン注入を行い、LP-CVD法にてシリコン・ナイトライド膜417、CVD法にてPSG膜を堆積し、フォトリソグラフィ技術を用いて、U-MOSの縦型ゲート形成用のパターンを形成し、RIE法にて前記PSG膜及びシリコン・ナイトライド膜417をエッチングし、シリコン表面を露出し、レジストを除去した後、シリコン・ナイトライド膜417及びPSG膜をマスクとして、RIE法を用いて所望の深さ、例えば2.0 μ m程度のゲート用トレンチ450を形成した後、PSG膜を除去する(図8(e))。

【0010】次に、エッチングされたゲート用トレンチ450の側面のシリコン表面のエッチングダメージ層を除去するために、酸化膜を例えば100nm程度形成する。次いで、ウェットエッチングにて、前記酸化膜を除去し、その後加熱したリン酸を用いてシリコン・ナイトライド膜417を除去し、その後露出した溝側面のシリコンを酸化して、U-MOSのゲート酸化膜418を形成し、その後LP-CVD法を用いて導電性の多結晶シリコン膜419をU-MOSゲート部の溝が埋まるように堆積する(図8(f))。

【0011】次に、ウェハ表面に堆積された余分な多結晶シリコン膜をRIE法を用いてU-MOSゲート部表面がほぼ平坦になるまで、エッチングする(図9(g))。

【0012】次に、制御用半導体素子形成領域407の半導体基板403の表面が露出するまで、フッ酸を用いて酸化膜をエッチングし、その後再度酸化膜を形成する。次いで、半導体素子形成領域407のうち、制御用C-MOSの形成される領域にフォトリソグラフィを用いてしきい値電圧調整イオン注入用のパターンを形成す

る。次いで、しきい値電圧調整用のイオン注入を行った後、レジストを除去する。次いで、制御用C-MOS形成領域のシリコン表面が露出するまで、フッ酸を用いて酸化膜をエッチングする。次いで、制御用C-MOSのゲート酸化膜を形成し、その後LP-CVD法を用いて多結晶シリコン膜を堆積する。次いで、N型不純物を高濃度にドーピングし、フォトリソグラフィでゲート電極のレジストのパターンを形成する。次いで、RIE法を用いて多結晶シリコンをエッチングしてC-MOSのゲート電極420を形成し、その後レジストを除去する(図9(h))。

【0013】次に、制御用C-MOSの電界緩和層を形成するためのパターンをフォトリソグラフィにより形成し、その後イオン注入技術で電界緩和層421用の不純物を注入する。次いで、CVD法により酸化膜422を堆積し、その後RIEにて、制御用C-MOS部のソース及びドレイン拡散層が形成される領域のシリコン表面が露出するまで、酸化膜をエッチングする(図9(i))。

【0014】次に、熱酸化膜を約20nm形成した後、フォトリソグラフィにて制御用C-MOSのN-MOSのソース領域及びドレイン領域423と制御用NPNバイポーラ・トランジスタのエミッタ領域424及びコレクタ領域425とU-MOSのドレイン引き出し領域426にレジストパターンを形成した後、N型の不純物を高濃度に注入し、その後レジストを除去する。次いで、フォトリソグラフィにて制御用C-MOSのP-MOSのソース領域及びドレイン領域427と制御用NPNバイポーラ・トランジスタのベース領域428とU-MOSのソース領域のN型拡散層に取り囲まれる領域429とU-MOSの最外周のゲート用トレンチ450の外側430の領域にレジストパターンを形成した後、P型の不純物を高濃度に注入し、その後レジストを除去する。次いで、ゲート用トレンチ450に堆積させた多結晶シリコン419と後工程で形成されるアルミ配線層432の層間膜としてCVD法にて酸化膜431を堆積し、熱処理を施して前述の各拡散層を形成する(図10(j))。

【0015】次に、各拡散層に電極となるアルミ配線層432を全面に形成した後、所望の形に形成し、その後最終保護膜433を堆積する(図10(k))。

【0016】更に、ボンディング用のPAD部分に穴明け(不図示)をして、半導体装置が完成する。

【0017】以上のように、SOIウェハを用いて、縦型のU-MOSからなるパワーデバイスと、制御回路とを絶縁分離用トレンチによって、同一半導体基板上に形成したインテリジェント・パワーデバイスを得ることができる。このインテリジェント・パワーデバイスは、絶縁分離用トレンチを利用して、高いサージ耐性を持つと共に、低オン抵抗な縦型U-MOSによりチップ面積を

縮小できるという特徴を有している。

【0018】

【発明が解決しようとする課題】図7～10に示したインテリジェント・パワーデバイスにおいては、絶縁分離用トレンチ470とゲート用トレンチ450という2種類のトレンチを有しており、絶縁分離用トレンチ470は、サージ耐性を上げるために、その側面に厚い酸化膜が必要であり、またゲート用トレンチ450は、トランジスタ性能に応じた薄い酸化膜が必要である。従って、これら種類の異なるトレンチを別工程で形成していたので、製造工程が多くなってしまい、従って製造コストが高くなるという問題点があった。この製造工程の多さは、必然的に製造歩留まりを低下させるという問題点も発生させていた。

【0019】上記問題点を鑑み、本発明の目的は、絶縁分離用トレンチとゲート用トレンチを同一基板上に有する半導体装置において、製造工程数を削減して、製造コストを下げると共に製造歩留まりの優れた半導体装置及び半導体装置の製造方法を提供することである。

【0020】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明においては、電力用半導体素子部と、この電力用半導体素子部を制御する制御回路部とが、同一半導体基板上に形成されると共に、電力用半導体素子部と制御回路部とが、絶縁分離用トレンチによって絶縁分離された半導体装置において、電力用半導体素子部の半導体基板表面に形成されたベース領域と、このベース領域から半導体基板に達するまで形成されたゲート用トレンチと、このゲート用トレンチに第1絶縁膜を介して形成された第1多結晶シリコン膜と、を備え、絶縁分離用トレンチは、トレンチの側面に第2絶縁膜が形成されると共に、この第2絶縁膜の内側面に第2多結晶シリコン膜が形成されると共に、この第2多結晶シリコン膜の内側面に第3絶縁膜が形成するようにした。

【0021】また、請求項2記載の発明においては、第1半導体基板上に第4絶縁膜を介して形成された第1導電型の第2半導体基板と、この第2半導体基板の表面に選択的に形成された第2導電型のベース領域と、このベース領域表面から第2半導体基板に達するまで形成されたゲート用トレンチと、このゲート用トレンチに第1絶縁膜を介して形成された第1多結晶シリコン膜と、ベース領域表面に、ゲート用トレンチに囲まれるように形成された第1導電型のソース領域と、ベース領域が形成されていない第2半導体基板表面から第4絶縁膜に達するまで形成された第1導電型のドレイン領域と、第2半導体基板表面から第4絶縁膜に達するまで形成された絶縁分離用トレンチと、この絶縁分離用トレンチの側面に形成された第2絶縁膜と、この第2絶縁膜の内側面に形成された第2多結晶シリコン膜と、この第2多結晶シリコン膜の内側面に形成された第3絶縁膜と、を備えるよう

にした。

【0022】また、請求項3記載の発明においては、第1半導体基板上に第4絶縁膜を介して、第1導電型の第2半導体基板を形成する工程と、この第2半導体基板表面の所定領域に、ベース領域となる第2導電型の第1拡散領域を形成する工程と、第1拡散領域の表面に選択的にソース領域となる第1導電型の第2拡散領域を形成する工程と、第1拡散領域が形成されていない第2半導体基板表面から、第4絶縁膜に達するまで絶縁分離用トレンチを形成する工程と、第1拡散領域表面から第2半導体基板に達するまで、選択的にゲート用トレンチを形成する工程と、絶縁分離用トレンチの側面に第2絶縁膜を形成すると共に、ゲート用トレンチ側面及び底面に第1の絶縁膜を形成する工程と、第2絶縁膜が形成された絶縁分離用トレンチの内側面に第2多結晶シリコン膜を形成すると共に、第1絶縁膜が形成されたゲート用トレンチの内側面に第1多結晶シリコン膜を形成する工程と、第2多結晶シリコン膜が形成された絶縁分離用トレンチの内側面に第3の絶縁膜を形成する工程と、を備えるようにした。

【0023】

【発明の効果】請求項1記載の発明においては、絶縁分離用トレンチは、トレンチの側面に第2絶縁膜が形成されると共に、この第2絶縁膜の内側面に第2多結晶シリコン膜が形成されると共に、この第2多結晶シリコン膜の内側面に第3絶縁膜が形成するようにしたので、第1絶縁膜と第2絶縁膜とが同一工程で、第1多結晶シリコン膜と第2多結晶シリコン膜とが同一工程で、製造することができるので、製造工程数を削減して、製造コストを下げると共に製造歩留まりの優れた半導体装置を得ることができる。

【0024】また、請求項2記載の発明においては、ゲート用トレンチに第1絶縁膜を介して第1多結晶シリコン膜を形成し、絶縁分離用トレンチの側面に第2絶縁膜を介して第2多結晶シリコン膜を形成すると共に、この第2多結晶シリコン膜の内側面に第3絶縁膜を形成するようにしたので、第1絶縁膜と第2絶縁膜とが同一工程で、第1多結晶シリコン膜と第2多結晶シリコン膜とが同一工程で、製造することができるので、製造工程数を削減して、製造コストを下げると共に製造歩留まりの優れた半導体装置を得ることができる。

【0025】また、請求項3記載の発明においては、第1拡散領域が形成されていない第2半導体基板表面から、第4絶縁膜に達するまで絶縁分離用トレンチを形成する工程と、第1拡散領域表面から第2半導体基板に達するまで、選択的にゲート用トレンチを形成する工程と、絶縁分離用トレンチの側面に第2絶縁膜を形成すると共に、ゲート用トレンチ側面及び底面に第1の絶縁膜を形成する工程と、第2絶縁膜が形成された絶縁分離用トレンチの内側面に第2多結晶シリコン膜を形成すると

共に、第1絶縁膜が形成されたゲート用トレンチの内側面に第1多結晶シリコン膜を形成する工程と、第2多結晶シリコン膜が形成された絶縁分離用トレンチの内側面に第3の絶縁膜を形成する工程と、を備えるようにしたので、第1絶縁膜と第2絶縁膜とが同一工程で、第1多結晶シリコン膜と第2多結晶シリコン膜とが同一工程で、製造することができるので、製造工程数を削減して、製造コストを下げると共に製造歩留まりの優れた半導体装置を得ることができる。

【0026】

【発明の実施の形態】以下、本発明による半導体装置及びその製造方法の実施の形態を添付図面を参照して詳細に説明する。

【0027】まず、図1を用いて、本実施の形態の半導体装置の構造を説明する。なお、図1は、パワーデバイスであるU-MOSと絶縁分離用トレンチのみを抜き出して、図示している。

【0028】P型半導体基板300上には絶縁膜310が形成されている。この絶縁膜310上には、N⁺型埋込み層326が形成され、この埋込み層326上にはN型半導体領域324が形成されている。N型半導体領域324の表面には、P型ベース領域320が形成されている。このP型ベース領域320の所定領域には、ゲート電極340が形成されている。ゲート電極340は、P型ベース領域320表面からN型半導体領域324に達するまで形成されている。ゲート電極340は、P型ベース領域320に掘られたトレンチの底面及び側面に酸化膜301が形成され、その酸化膜301内部に多結晶シリコン303が充填されている。325は、N型半導体領域324表面からN⁺型埋込み層326表面まで形成された高濃度のN⁺型拡散領域であって、ドレイン引き出し領域325を形成しており、その表面には高濃度の取出し領域327が形成されている。P型ベース領域324の表面であって、ゲート電極340に囲まれている領域には、N⁺型ソース領域322が形成されている。更に、このN⁺型ソース領域322に囲まれる領域には、P⁺型拡散領域323が形成されており、このP⁺型拡散領域323は、ソース領域322と同じ電位が与えられて、P型ベース領域324の電位を固定する働きをする。

【0029】これらから、パワーデバイスであるU-MOSが形成されており、所望の配線が形成され（不図示）、ソース電極（ソース領域322）とドレイン領域（ドレイン取出し領域327）の間に所定の電位が与えられている場合に、ゲート電極340に所定の電圧が加えられると、ゲート電極340に接するP型ベース領域324にチャネル（反転層）が形成されて、電流が流れて、トランジスタとしてオンする。

【0030】次に、絶縁分離用トレンチ350について説明を行う。なお、図1には、絶縁分離用トレンチの図

面左右側について省略しているが、パワーデバイスの制御回路であるMOSトランジスタやバイポーラトランジスタが形成されている（詳細は図2～6において、述べる）。

【0031】絶縁分離用トレンチ350は、その側面に第1酸化膜302が、表面から絶縁膜310に達するまで形成されている。さらにその内側面に多結晶シリコン膜360が形成されている。更に、その多結晶シリコン膜360の内側面に第2酸化膜304が充填されている。

10 この絶縁分離用トレンチ350によって、パワーデバイスと制御回路の接合耐圧を維持している。

【0032】次に図2～6を用いて、本発明の半導体装置の製造方法について、説明を行う。

【0033】P型半導体基板101とN型半導体基板102は、約2.0μm程度の酸化膜103を介して張り合わされて形成されている。N型半導体基板102と酸化膜103の間にはN⁺型埋込み層104が形成されている。N型半導体基板102表面に酸化膜99を約100nm成膜し、その後フォトリソグラフィとイオン注入技術を用いて、制御回路となるC-MOS用のP型不純物層及びN型不純物層とバイポーラ用のN型不純物層とU-MOS用のN型不純物層とU-MOSドレイン領域となるN⁺型不純物層を形成し、その後拡散を行って、C-MOS用のP型拡散層105、N型拡散層106とバイポーラ・トランジスタ用のN型拡散層107とU-MOS用のN型拡散層108とU-MOSドレイン領域のN⁺型拡散層109を形成する（図2（a））。

【0034】次に、フォトリソグラフィとイオン注入技術を用いて、NPNバイポーラ・トランジスタのベース領域のP型不純物層とU-MOSベース領域用のP型不純物層を形成し、その後拡散を行って、NPNバイポーラ・トランジスタのベース領域となるP型拡散層110とU-MOSベース領域となるP型拡散層111を形成する（図2（b））。

【0035】次に、LP-CVD法によりシリコン・ナイトライド膜を160nm程度堆積する。次いで、フォトリソグラフィにより、回路内の素子分離を行う領域のレジストに開口部を形成する。次いで、プラズマエッチングを施して、シリコン・ナイトライド膜に開口部を形成する。次いで、レジストを剥離し、その後、酸化を行いLOCOS酸化膜112を形成する。次いで、シリコン・ナイトライド膜を除去し、その後U-MOSソース領域用のN⁺型不純物層113を形成する（図2（c））。

【0036】次に、LP-CVD法によりシリコン・ナイトライド膜114を200nm程度堆積し、その後CVD法によりPSG膜115を800nm程度堆積する。次いで、フォトリソグラフィを用いて素子間分離のトレンチを形成する場所のレジストに開口部を形成する。次いで、その開口部にRIEエッチングを施し、そ

の開口部直下のPSG膜115とシリコン・ナイトライド膜114と酸化膜とを除去する。次いで、レジストを剥離する(図3(d))。

【0037】次に、RIEエッチングにより、上記開口部直下の半導体基板102及び拡散領域105~109を、酸化膜103に達するまでエッチング除去し、絶縁分離用トレンチ116を形成する。次いで、フッ酸によりPSG膜を除去する(図3(e))。

【0038】次に、フォトリソグラフィを用いてU-MOSゲート用のトレンチを形成する場所にレジストの開口部を形成し、その後RIEエッチングによりシリコン・ナイトライド膜114と酸化膜99を除去して開口部を形成する。次いで、レジスト膜を除去する(図3(f))。

【0039】次に、RIEエッチングにより、図3(f)にて形成した開口部直下のP型拡散領域111を、N型拡散層108の表面に達するまで2.0μm程度の深さでエッチングし、U-MOSゲート用トレンチ117を形成する(図4(g))。

【0040】次に、熱酸化により酸化膜を100nm程度形成し、その後フッ酸を用いて、絶縁分離用トレンチ116の側面に接する拡散領域105~109と、U-MOSゲート用トレンチ117の側面が接するP型拡散領域111が露出するまでエッチングを行う。その後、加熱した燐酸によりシリコン・ナイトライド膜114を除去し、次いでフッ酸により、C-MOS形成部の拡散領域105~108表面が露出するまでエッチングを行う。次いで、熱酸化によりU-MOSゲート酸化膜118を例えば50nm程度形成し、その後LP-CVD法によりN型にドーパされた多結晶シリコン膜119をU-MOSゲート用トレンチ117が完全に埋まるように堆積する。このとき同時に、絶縁分離用トレンチ116の側面に形成された酸化膜118の内側面にも、この多結晶シリコン膜119が堆積される(図4(h))。

【0041】次に、RIEエッチングにより多結晶シリコン膜119を、U-MOSのP型ベース領域となるP型拡散領域111表面に形成された熱酸化膜118が露出し、且つ絶縁分離用トレンチ116底面の酸化膜103が露出するまでエッチングする(図4(i))。

【0042】次に、PE-CVD法によりプラズマTEOS膜120を絶縁分離用トレンチ116が完全に埋まるまで堆積する。次いで、プラズマTEOS膜120と熱酸化膜118をフッ酸を用いて、C-MOS形成部の拡散領域105~107が露出するまでエッチングを行う(図5(j))。

【0043】次に、酸化膜を約20nm形成し、その後制御用C-MOS形成部にフォトリソグラフィを用いてしきい値電圧調整イオン注入用のパターンを形成する。次いで、しきい値電圧調整用のイオン注入を行い、その後レジストを除去する。次いで、制御用C-MOS形成

部の拡散領域105~107表面が露出するまで、フッ酸を用いて酸化膜をエッチングし、その後制御用C-MOSのゲート酸化膜を形成する。次いでLP-CVD法を用いて多結晶シリコン膜を全面に堆積し、その後N型不純物を高濃度にドーピングする。次いで、フォトリソグラフィでゲート電極121のレジストのパターンを形成し、その後RIE法を用いて多結晶シリコンをエッチングしてC-MOSのゲート電極121を形成し、その後レジストを除去する(図5(k))。

【0044】次に、制御用C-MOSの電界緩和層122を形成するためのパターンをフォトリソグラフィにより形成し、その後イオン注入技術で電界緩和層用の不純物を注入し、その後CVD法により酸化膜123を堆積し、その後RIEにて、制御用C-MOS部のソース及びドレイン拡散層が形成される領域の拡散領域105~107表面が露出するまで、酸化膜をエッチングする(図5(l))。

【0045】次に、熱酸化膜を約20nm形成し、その後フォトリソグラフィにて制御用C-MOSのN-MOSのソース領域及びドレイン領域124と制御用NPNバイポーラ・トランジスタのエミッタ領域125及びコレクタ領域126とU-MOSのドレイン引き出し領域127となる領域にパターンを形成し、その後イオン注入技術を使用して、N型の不純物を高濃度に注入し、その後レジストを除去する。次いで、フォトリソグラフィにて制御用C-MOSのP-MOSのソース領域及びドレイン領域128と制御用NPNバイポーラ・トランジスタのベース領域129とU-MOSのソース領域のN型拡散層に取り囲まれる領域130とゲート電極の外側131にパターンを形成する。次いでイオン注入技術を使用して、P型の不純物を高濃度に注入し、その後レジストを除去する。次いで、ゲート電極となる119とアルミ配線の層間絶縁膜としてCVD法にて酸化膜132を堆積し、熱処理を施して前述の各拡散層を形成する(図6(m))。

【0046】次に、各拡散層に電極133を配置し、その後保護膜134を堆積する(図6(n))。

【0047】そして、図示しないボンディング用のPAD部分に穴明けをして、半導体装置が完成する。

【0048】以上説明したように、本発明の実施の形態においては、U-MOSのゲート酸化膜118を形成する工程において、絶縁分離用トレンチ117の側面にもその酸化膜118を形成した後、この酸化膜118が側面に形成された両トレンチ116、117に多結晶シリコン膜119を、U-MOSゲートトレンチ116が埋まるまで堆積させた後、絶縁分離用トレンチ117にプラズマTEOS膜120を絶縁分離用トレンチ117が完全に埋まるまで堆積させるようにした。従って、これらの異なるトレンチを少ない工程数で製造することができ、よって製造コストを低くすることができると共に、

製造歩留まりを向上することができる。

【0049】なお、本実施の形態においては、N型のドーパされた多結晶シリコン膜119を用いたが、P型にドーパされた多結晶シリコン膜でも構わない。

【0050】本実施の形態では、制御回路としてC-MOS、NPNバイポーラ・トランジスタを用いて説明したが、PNPトランジスタを集積したものでもよく、U-MOSの使用目的に合わせて適宜、変更してもよい。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の構造を示す断面図である

【図2】本発明の実施の形態の半導体装置の製造工程を示す断面図である

【図3】本発明の実施の形態の半導体装置の製造工程を示す断面図である

【図4】本発明の実施の形態の半導体装置の製造工程を示す断面図である

【図5】本発明の実施の形態の半導体装置の製造工程を示す断面図である

【図6】本発明の実施の形態の半導体装置の製造工程を示す断面図である

【図7】従来の半導体装置の製造工程を示す断面図である。

【図8】従来の半導体装置の製造工程を示す断面図である。

【図9】従来の半導体装置の製造工程を示す断面図である。

【図10】従来の半導体装置の製造工程を示す断面図である。

【符号の説明】

99 酸化膜

101 P型半導体基板

102 N型半導体基板

103 酸化膜

104 N⁺型埋込み層

105 C-MOS用のP型拡散層

106 C-MOS用のN型拡散層

107 バイポーラ・トランジスタ用のN型拡散層

108 U-MOS用のN型拡散層

109 U-MOSドレイン領域のN⁺型拡散層

110 NPNバイポーラ・トランジスタのベース領域となるP型拡散層

111 U-MOSベース領域となるP型拡散層

112 LOCOS酸化膜

113 U-MOSソース領域用のN⁺型不純物層

114 シリコン・ナイトライド膜

115 PSG膜

116 絶縁分離用トレンチ

117 U-MOSゲート用トレンチ

118 U-MOSゲート酸化膜

119 多結晶シリコン膜

120 プラズマTEOS膜

121 ゲート電極

122 制御用C-MOSの電界緩和層

123 酸化膜

124 制御用C-MOSのN-MOSのソース領域及びドレイン領域

125 制御用NPNバイポーラ・トランジスタのエミッタ領域

126 制御用NPNバイポーラ・トランジスタのコレクタ領域

127 U-MOSのドレイン引き出し領域

128 制御用C-MOSのP-MOSのソース領域及びドレイン領域

129 制御用NPNバイポーラ・トランジスタのベース領域

130 U-MOSのソース領域のN型拡散層に取り囲まれる領域

131 ゲート電極の外側

132 酸化膜

133 電極

134 保護膜

300 P型半導体基板

301 酸化膜

302 第1酸化膜

303 多結晶シリコン

304 第2酸化膜

310 絶縁膜

320 P型ベース領域

322 N⁺型ソース領域

323 P⁺型拡散領域

324 N型半導体領域・P型ベース領域

325 N⁺型拡散領域・ドレイン引き出し領域

326 N⁺型埋込み層

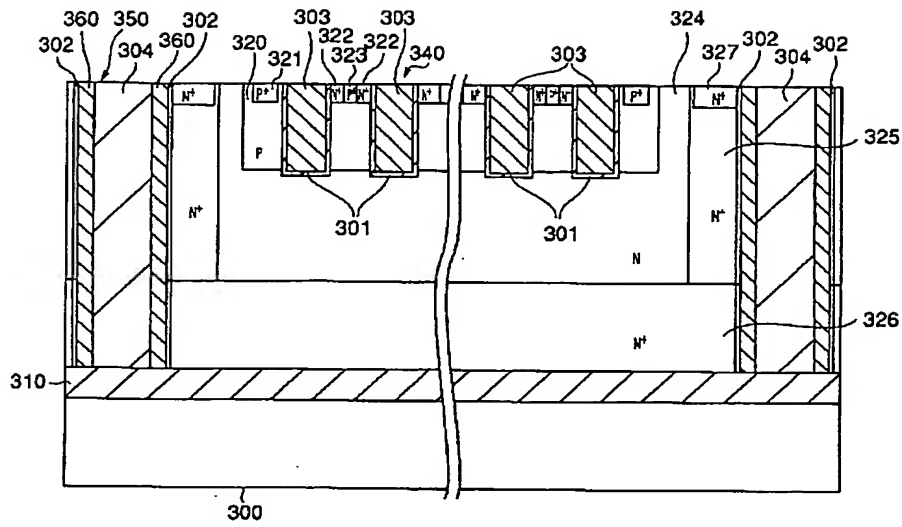
327 ドレイン取出し領域

340 ゲート電極

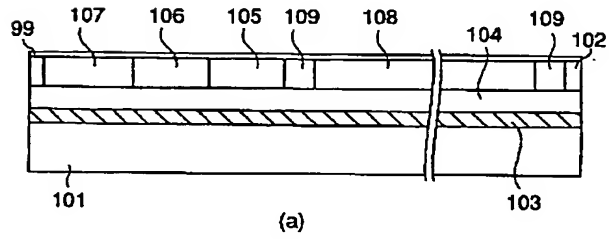
350 絶縁分離用トレンチ

360 多結晶シリコン膜

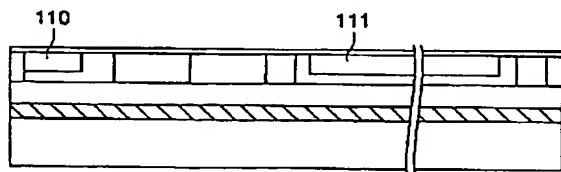
【図 1】



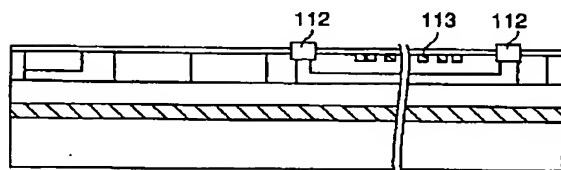
【図 2】



(a)

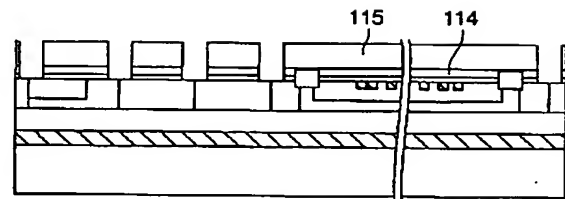


(b)

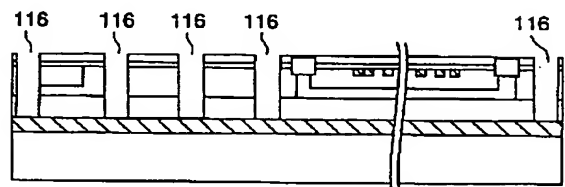


(c)

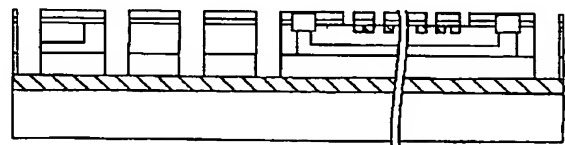
【図 3】



(d)

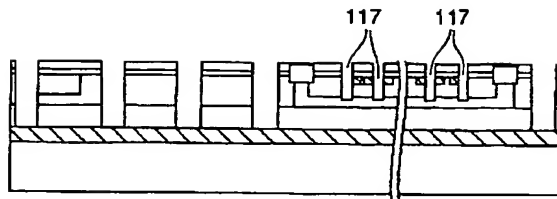


(e)

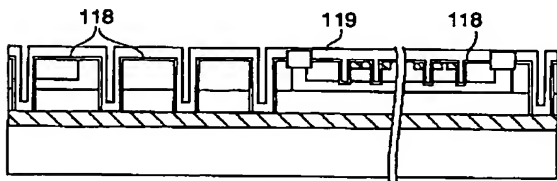


(f)

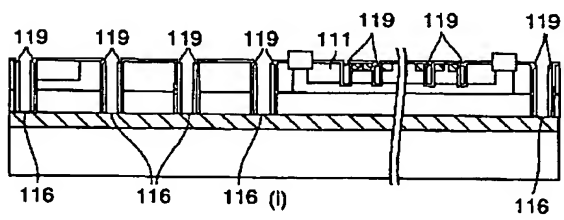
【図 4】



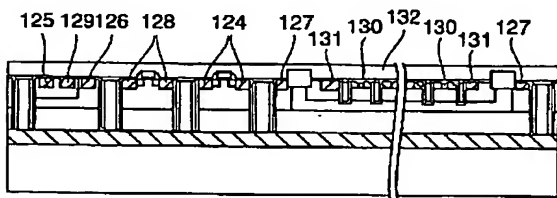
(g)



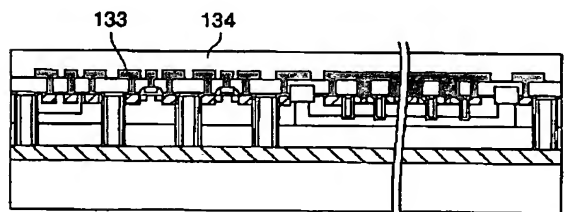
(h)



【図 6】

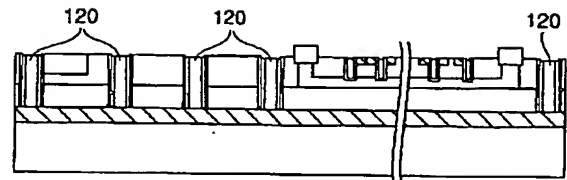


(m)

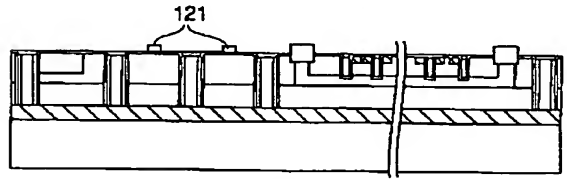


(n)

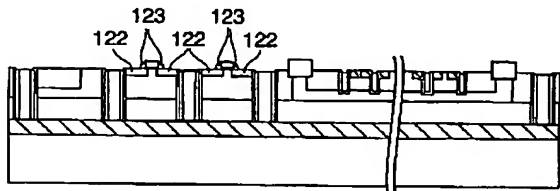
【図 5】



(j)

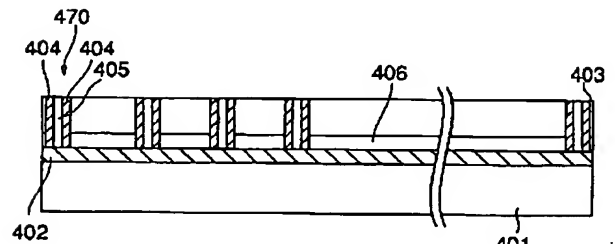


(k)

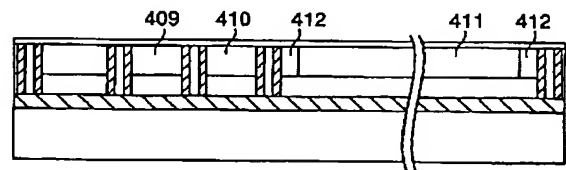


(l)

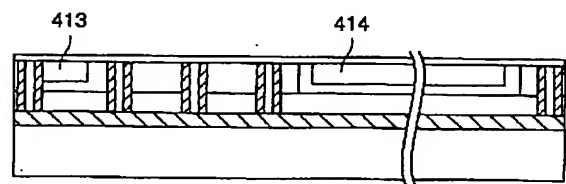
【図 7】



(a)

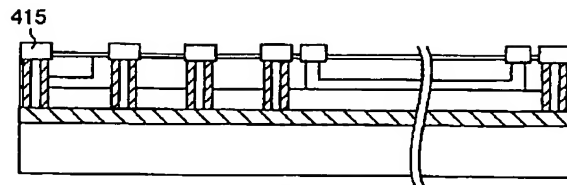


(b)

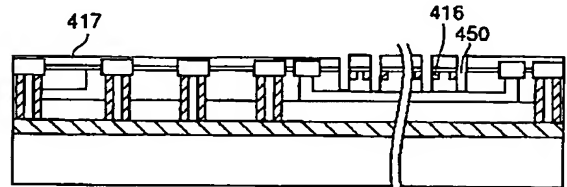


(c)

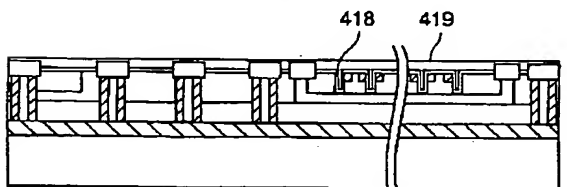
【図 8】



(d)

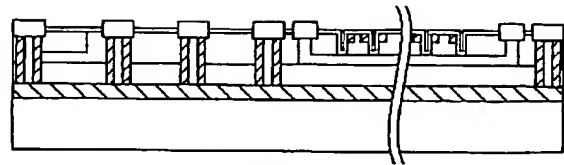


(e)

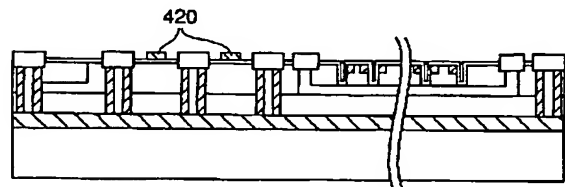


(f)

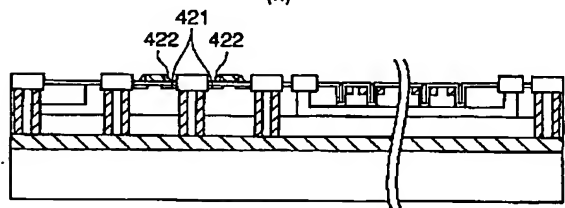
【図 9】



(g)

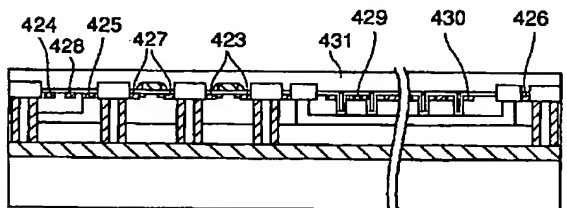


(h)

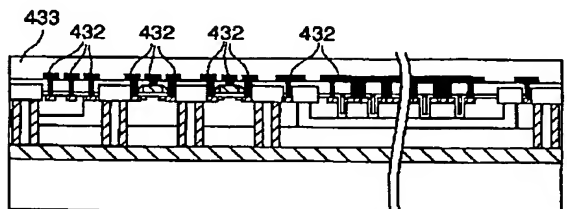


(i)

【図 10】



(j)



(k)

フロントページの続き

(51) Int. Cl.⁷

識別記号

F I
H 0 1 L 29/78

テマコード (参考)

6 5 2 R
6 5 3 A

F ターム(参考) 5F032 AA06 AA35 AA44 AA45 AA47
CA17 CA18 CA24 CA25 DA03
DA04 DA22 DA30 DA53
5F048 AA09 AC06 AC07 BA09 BA12
BB05 BB06 BB19 BC03 BC06
BD07 BF02 BG05 CB06 DA25
5F110 AA16 BB04 BB12 BB20 CC02
CC09 DD05 DD13 EE09 EE21
EE45 FF02 FF23 GG02 GG12
GG32 GG52 HJ01 HJ13 HL03
NN02 NN23 NN55 NN62 NN65
QQ17